

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-031891

(43)Date of publication of application.: 02.02.1996

(51)Int.Cl.

H01L 21/66

(21)Application number : 05-285717

(71)Applicant : RICOH CO LTD

(22)Date of filing : 20.10.1993

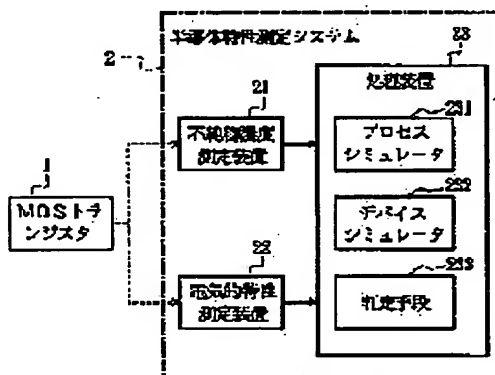
(72)Inventor : HYODO TOSHIHIRO
AGARI HIDEKI

(54) SEMICONDUCTOR CHARACTERISTIC MEASURING SYSTEM

(57)Abstract:

PURPOSE: To accurately obtain impurity concentration profile at the region near the interface of Si/SiO₂ by respectively providing a particular impurity concentration measuring apparatus, an electrical characteristic measuring apparatus, a process simulator, device simulator, and a judging means.

CONSTITUTION: A impurity concentration measuring apparatus 21 for measuring impurity concentration profile of a channel region of a semiconductor element 1, an electrical characteristic measuring apparatus 22 for measuring the V_g-I_d characteristic of the semiconductor element 1 and a process simulator 231 for obtaining impurity concentration profile from the process data are provided. Moreover, a device simulator 232 is also provided for overlapping the actually measured impurity concentration profile and the impurity concentration profile obtained with the simulator 231 to generate the impurity concentration data for simulation and for executing the device simulation. Moreover, a judging means 233 is also provided to change impurity concentration profile to minimize an error between the actually measured V_g-I_d characteristic and the simulation value.



LEGAL STATUS

[Date of request for examination] 27.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3340535

[Date of registration] 16.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3340535号
(P3340535)

(45) 発行日 平成14年11月5日 (2002. 11. 5)

(24) 登録日 平成14年8月16日 (2002. 8. 16)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 21/66

H 0 1 L 21/66

L

請求項の数 3 (全 9 頁)

(21) 出願番号 特願平5-285717

(22) 出願日 平成5年10月20日 (1993. 10. 20)

(65) 公開番号 特開平8-31891

(43) 公開日 平成8年2月2日 (1996. 2. 2)

審査請求日 平成12年6月27日 (2000. 6. 27)

(73) 特許権者 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 兵頭 敏宏

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 上里 英樹

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 100085464

弁理士 野口 繁雄

審査官 田代 吉成

最終頁に続く

(54) 【発明の名称】 半導体特性測定システム

(57) 【特許請求の範囲】

【請求項1】 半導体素子のチャネル領域の不純物濃度プロファイルを測定する不純物濃度測定装置と、前記半導体素子に与えるバックバイアスを変えて前記半導体素子のゲート電圧ードレイン電流特性を測定する電気的特性測定装置と、プロセスのデータからソース領域及びドレイン領域の不純物濃度プロファイルを得るプロセスシミュレータと、前記不純物濃度測定装置からの実測のチャネル領域の不純物濃度プロファイルとプロセスシミュレータで得たソース領域及びドレイン領域の不純物濃度プロファイルとを合わせたデバイスシミュレーション用の不純物濃度データを作成し、このデータを基にデバイスシミュレーションを実行するとともにバックバイアスを変えてゲート電圧ードレイン電流特性を得るデバイスシミュレータ

と、

前記電気的特性測定装置からのゲート電圧ードレイン電流特性の実測値と前記デバイスシミュレータからのゲート電圧ードレイン電流特性とを比較しながら半導体素子のゲート酸化膜境界付近の不純物濃度プロファイルを、実測値とシミュレーション値との誤差が最小になるように変更する判定手段とを備えたことを特徴とする半導体特性測定システム。

【請求項2】 予め得られた半導体素子のゲート酸化膜境界面付近の不純物濃度プロファイルを基にバックバイアスがかかっていない状態のチャネル領域の空乏層内部の平均的な不純物濃度を求め、この値を基板不純物濃度としてデバイスシミュレーション用の不純物データを作成する手段と、前記手段からの不純物データを基にバックバイアスを変

1

えてゲート電圧ードレイン電流特性をシミュレーションするデバイスシミュレータと、
実測値とシミュレーションによるゲート電圧ードレイン電流特性を比較しながら、基板不純物濃度の値を、実測とシミュレーション値との誤差が最小になるように変更する比較手段とを備えたことを特徴とする半導体特性測定システム。

【請求項 3】 ゲート電圧ードレイン電流特性を測定しこれを与える特性入力手段と、
予め蓄えられた、ゲート電圧ードレイン電流特性と不純物濃度プロファイルとの相関データを記憶する記憶手段と、
前記入力手段からゲート電圧ードレイン電流特性が入力されたときに、前記記憶手段のデータを検索し、その入力特性に最も相関のある不純物濃度プロファイルを選択する選択手段と、
前記選択された不純物濃度プロファイルを基にゲート電圧ードレイン電流特性をデバイスシミュレーションする計算手段と、
測定したゲート電圧ードレイン電流特性とシミュレーションしたゲート電圧ードレイン電流特性の誤差が最小となるように不純物濃度プロファイルの変更を行なう変更手段とを備え、その変更された不純物濃度プロファイルを出力できるようにしたことを特徴とする半導体特性測定システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体特性測定システムに係り、特に半導体素子の不純物濃度プロファイル、基板不純物濃度を正確に求めることができる半導体特性測定システムに関する。

【0002】

【従来の技術】この種の半導体素子は、周知のとおり、シリコン等の半導体を母材として製造されている。このような半導体素子の電気的特性は、基本的に、シリコン（Si）／酸化シリコン（SiO₂）界面付近の不純物濃度が大きく影響を与える。したがって、このSi/SiO₂界面付近の不純物濃度を測定することは重要なことである。また、上記半導体素子を構成するSi基板の正確な不純物濃度を得ることは、バックバイアス特性を表現するためにも重要である。従来、このような半導体素子の半導体内部の不純物濃度プロファイルは、一定のエネルギーを与えた一次イオンで当該半導体表面をスパッタして得られる二次イオンを基に必要な濃度等の特性を得る二次イオン質量分析（SIMS）法や、半導体素子の容量電圧特性を利用して必要な濃度等を得る容量電圧（CV）法が使用されていた。これらの測定法によって、上記半導体素子の半導体内部の不純物濃度を測定することができた。

【0003】

2

【発明が解決しようとする課題】しかしながら、上述の各測定法にあつては、次の理由により、上記半導体素子のSi/SiO₂界面付近の不純物プロファイルを得ることができなかった。

（1）SIMS法による測定の場合には、スパッタリングやマトリックス効果によってSi/SiO₂界面付近の測定プロファイルの誤差が大きくなってしまふこと。

（2）CV法による測定の場合には、デバイス長以内の不純物の情報が得られないこと。一方、上記半導体素子の場合には、Si基板に実際に分布する不純物濃度は均一に分布していないことから、均一な不純物濃度を得ることが困難であつた。そこで、本発明の第1の目的は、Si/SiO₂界面付近の不純物濃度プロファイルを正確に求めることができる半導体特性測定システムを提供することにある。また、本発明の第2の目的は、Si基板の均一な不純物濃度を求めることができる半導体特性測定システムを提供することにある。さらに、本発明の第3の目的は、蓄積された半導体素子の不純物濃度及び電気的特性の相関データと測定された電気的特性とからチャンネル領域の不純物濃度プロファイルを得ることができる半導体特性測定システムを提供することにある。

【0004】

【課題を解決するための手段】請求項1記載の発明に係る半導体特性測定システムは、半導体素子のチャンネル領域の不純物濃度プロファイルを測定する不純物濃度測定装置と、前記半導体素子に与えるバックバイアスを変えて前記半導体素子のゲート電圧ードレイン電流特性（ゲート電圧に対するドレイン電流の関係を示す特性）を測定する電気的特性測定装置と、プロセスのデータからソース領域及びドレイン領域の不純物濃度プロファイルを得るプロセスシミュレータと、前記不純物濃度測定装置からの実測のチャンネル領域の不純物濃度プロファイルとプロセスシミュレータで得たソース領域及びドレイン領域の不純物濃度プロファイルとを合わせたデバイスシミュレーション用の不純物濃度データを作成し、このデータを基にデバイスシミュレーションを実行するとともにバックバイアスを変えてゲート電圧ードレイン電流特性を得るデバイスシミュレータと、前記電気的特性測定装置からの実測値とデバイスシミュレーションによるゲート電圧ードレイン電流特性とを比較しながら半導体素子のゲート酸化膜境界付近の不純物濃度プロファイルを、実測値とシミュレーション値との誤差が最小になるように変更する判定手段とを具備させて前記第1の目的を達成する。

【0005】請求項2記載の発明に係る半導体特性測定システムは、予め得られた半導体素子のゲート酸化膜境界付近の不純物濃度プロファイルを基にバックバイアスがかかってない状態のチャンネル領域の空乏層内部の平均的な不純物濃度を求め、この値を基板不純物濃度としてデバイスシミュレーション用の不純物データを作成す

る手段と、前記手段からの不純物データを基にバックバイアスを変えてゲート電圧－ドレイン電流特性をシミュレーションするデバイスシミュレータと、実測値とシミュレーションによるゲート電圧－ドレイン電流特性を比較しながら、基板不純物濃度の値を、実測とシミュレーション値との誤差が最小になるように変更する比較手段とを具備させて前記第 2 の目的を達成する。

【0006】請求項 3 記載の発明に係る半導体特性測定システムは、ゲート電圧－ドレイン電流特性を測定しこれを与える特性入力手段と、予め蓄えられた、ゲート電圧－ドレイン電流特性と不純物濃度プロファイルとの相関データを記憶する記憶手段と、前記入力手段からゲート電圧－ドレイン電流特性が入力されたときに、前記記憶手段のデータを検索し、その入力特性に最も相関のある不純物濃度プロファイルを選択する選択手段と、前記選択された不純物濃度プロファイルを基にゲート電圧－ドレイン電流特性をデバイスシミュレーションする計算手段と、測定したゲート電圧－ドレイン電流特性とシミュレーションしたゲート電圧－ドレイン電流特性の誤差が最小となるように不純物濃度プロファイルの変更を行なう変更手段とを備え、その変更された不純物濃度プロファイルを出力できるようにしたことにより前記第 3 の目的を達成する。

【0007】

【作用】請求項 1 記載の発明では、上述のように構成し、実際に測定した半導体素子のチャンネル領域の不純物濃度プロファイルをデバイスシミュレータに与え、デバイスシミュレータからのゲート電圧－ドレイン電流特性と実測のゲート電圧－ドレイン電流特性とを比較しながら、シリコン／酸化シリコン（ゲート酸化膜）界面付近の不純物濃度プロファイルを変更していき、最終的にシミュレーション値と実測値とが一致したときに求める不純物濃度プロファイルが得られたとするものである。したがって、当該界面付近の不純物濃度プロファイルを正確に求めることができる。

【0008】請求項 2 記載の発明では、上記構成とし、請求項 1 の半導体特性測定システムで得た正確な不純物濃度プロファイルを基にバックバイアスがかかっていない状態の空乏層内部の平均的な不純物濃度を求め、これを初期値にして実測したゲート電圧－ドレイン電流特性とシミュレーションしたゲート電圧－ドレイン電流特性を比較しながら、バックバイアス依存のみを最も正確にシミュレーションして平均不純物濃度プロファイルを求めている。

【0009】請求項 3 記載の発明では、請求項 1、2 記載の発明で蓄積されるゲート電圧－ドレイン電流特性と不純物濃度プロファイルとの相関を記憶手段に記憶させておき、ゲート電圧－ドレイン電流特性から不純物濃度プロファイルを推定するようにしている。

【0010】

【実施例】以下、本発明について図示の実施例を参照して説明する。図 1～図 9 は、本発明に係る半導体特性測定システムの第 1 の実施例を説明するためのものである。まず、半導体特性測定システムのハード構成について図 1 に示すブロック図を参照しながら説明をする。

【0011】図 1 において MOS トランジスタ 1 は、半導体特性測定システム 2 によって必要な特性が測定されるようになっている。ここで、半導体特性測定システム 2 は、主に、前記トランジスタ 1 の不純物濃度を測定する不純物濃度測定装置 2 1 と、前記トランジスタ 1 の電気的特性（ゲート電圧 V_g －ドレイン電流 I_d 特性）を測定する電気的特性測定装置 2 2 と、前記不純物濃度測定装置 2 1 及び電気的特性測定装置 2 2 からのデータを基に Si/SiO₂ 界面付近の不純物濃度プロファイルを決定する処理装置 2 3 とからなる。

【0012】上記不純物濃度測定装置 2 1 は、例えば S I M S 法あるいは C V 法等を用いて前記トランジスタ 1 のチャンネル領域の不純物プロファイルを測定できる装置であり、その測定データを処理装置 2 3 に供給できるようにしてある。上記電気的特性測定装置 2 2 は、前記トランジスタ 1 を接続し、ゲート電圧 V_g に対するドレイン電流 I_d を得る装置であり、その測定データを処理装置 2 3 に供給できるようにしてある。前記処理装置 2 3 は、電子計算機システムで構成すればよく、所定のプログラムが実行されることにより、プロセスシミュレータ 2 3 1、デバイスシミュレータ 2 3 2、及び判定手段 2 3 3 が実現される。ここで、前記プロセスシミュレータ 2 3 1 は、集積回路の製造工程を計算機上で模擬的に行ない、実際に半導体素子を試作することなく、半導体素子等のデバイスの加工形状やデバイス内部の不純物分布を予測する装置である。また、前記デバイスシミュレータ 2 3 2 は、測定あるいはプロセスシミュレータ 2 3 1 で得たデバイス内部の不純物分布データを基に当該デバイスの電気的特性を予測できる装置である。さらに、前記判定手段 2 3 3 は、実測値とシミュレーション結果値とが一致するか否かの判定をし、かつその判定結果から必要な指令を出すとともにその他必要な指令を出す装置である。

【0013】図 2 は、同実施例で測定する MOS トランジスタの基本的構成を示す模式図である。この図 2 を用いて MOS トランジスタの構造を簡単に説明しておく。MOS トランジスタ 1 は、ショートチャンネル効果が無視できるほど長いゲート 1 1 をもつ半導体素子である。この MOS トランジスタ 1 は、Si 基板 1 2 の上に SiO₂ からなるゲート酸化膜 1 3 を形成し、その上にゲート 1 1 が形成されている。また、前記 Si 基板 1 2 において、ゲート 1 1 の両側にソース部 1 4、ドレイン部 1 5 が形成されている。

【0014】このような実施例の処理動作について説明する。図 3 は、本実施例の処理動作を説明するためのフ

ローチャートである。まず、上記MOSトランジスタ1を不純物濃度測定装置21にセットし、MOSトランジスタ1のチャンネル領域CEにおける深さ方向（図2中矢印A方向）の不純物濃度プロファイルを、SIMS法あるいはCV法等を用いて測定する（ステップ101）。これにより、図4に示す不純物濃度プロファイル特性が得られる。なお、図4では、横軸にSi基板12のSi/SiO₂界面からの深さが、縦軸に不純物濃度がそれぞれとられている。

【0015】次に、上記MOSトランジスタ1を電気的特性測定装置22に接続し、バックバイアスV_{BS}を変化させて該トランジスタ1のV_g-I_d特性を測定する（ステップ102）。これにより、電気的特性測定装置22からは、図8に示すような電気的特性を得ることができる。なお、図8では、横軸にV_{gs}が、縦軸にI_{ds}がそれぞれとられており、またバックバイアスV_{BS}が0、-2、-4[V]のときの特性が実線で示されている。さらに、前記MOSトランジスタ1の製造工程のデータを処理装置23に入力し、かつプロセスシミュレータ231によって前記MOSトランジスタ1のソース領域及びドレイン領域SDEの不純物濃度プロファイルを求め

る。これにより、図5に示すようなソース領域及びドレイン領域SDEの不純物濃度プロファイルのシミュレーション値を得ることができる。なお、図5において、横軸には深さが、縦軸には不純物濃度がとられている。

【0016】このようにして得られた図5の不純物濃度プロファイル（シミュレーション値）と、上記ステップ101で得た実測の不純物濃度プロファイル（図6の示す特性図）とを合わせて、図7に示すようなデバイスシミュレーション用の不純物濃度データ500を作成する（ステップ103）。なお、不純物濃度データ500は、ゲート511、Si基板512、ゲート酸化膜513、ソース部514、ドレイン部515があるデバイスの構造図にチャンネル領域CEの不純物濃度プロファイルと、ソース領域及びドレイン領域SDEの不純物濃度プロファイルが示された型式となる。

【0017】このようにして得られた不純物濃度データ500は、デバイスシミュレータ232に与えられる。デバイスシミュレータ232では、前記不純物濃度データ500を基にV_g-I_d特性をシミュレーションする（ステップ104）。なお、前記デバイスシミュレータ232によるシミュレーションでは、前記MOSトランジスタ1のSi/SiO₂界面付近だけでなく、Si基板12の内部の不純物濃度プロファイルも考慮するために、バックバイアスV_{BS}を変えてV_g-I_d特性をシミュレーションする（ステップ104）。これにより、デバイスシミュレータ232からは、図8に示すような特性が得られる。なお、図8では、横軸にV_{gs}が、縦軸にI_{ds}がそれぞれとられており、またバックバイアスV_{BS}が0、-2、-4[V]のときのシミュレーション特性が点線で示されて

いる。

【0018】ついで、前記デバイスシミュレータ232でシミュレーションした結果のV_g-I_d特性を基に外挿により求めたしきい値V_{th0}と、実際に電気的特性測定装置22で測定したV_g-I_d特性とを基に外挿により求めたしきい値V_{th0}とを判定手段233において比較を行なう（ステップ105）。この判定手段233には、バックバイアスV_{BS}=0のときのしきい値V_{th0}だけでなく、バックバイアスV_{BS}が与えられているときのしきい値V_{th0}も比較させる。判定手段233は、図8に示す各V_g-I_d特性を基に、実測によるしきい値V_{th0}と、シミュレーションによるしきい値V_{th0}とが一致していないときには（ステップ105；NO）、チャンネル領域CEの不純物濃度プロファイルのSi/SiO₂界面付近のみのプロファイルを（図9に示すようにSi/SiO₂界面付近～数100オングストローム程度Si基板12の内部）、しきい値V_{th0}が近づく方向に変更する（ステップ106）。このようにSi/SiO₂界面付近のみの不純物濃度プロファイルを任意に変更する理由は、SIMS法やCV法では界面付近の不純物濃度の誤差が大きいためである。

【0019】このようにしてしきい値V_{th0}を変更したところで、ステップ103に戻す。再び、前記変更後のチャンネル領域の不純物濃度プロファイルと、ソース領域及びドレイン領域の不純物濃度プロファイル（図5参照）とを合わせて、デバイスシミュレータ用の不純物濃度プロファイルデータを作成し（ステップ103）、このデータを基にデバイスシミュレータ232でV_g-I_d特性をシミュレーションする（ステップ104）。デバイスシミュレータ232で得られたシミュレーションV_g-I_d特性と、実測のV_g-I_d特性とを基にそれぞれしきい値V_{th0}を求め、再び判定手段233で比較する（ステップ105）。実測のしきい値V_{th0}とシミュレーションしたしきい値V_{th0}とが一致したとき（ステップ105；YES）、チャンネル領域CEのSi/SiO₂界面付近の不純物濃度プロファイルが決定されたことになる。この値を図示しないメモリに記憶させておき、処理を終了する。

【0020】このようにしてMOSトランジスタ1のSi/SiO₂界面付近の不純物濃度プロファイルが正確に求まることになる。次に、図10及び図12を参照して同第2の実施例を説明する。ここで、図10は、第2の実施例を説明するためのフローチャートである。図11は、深さyと不純物濃度N(y)との関係を示す特性図である。第2の実施例は、図1に示す処理装置23において図10のフローチャートが実行されることにより実現される。

【0021】上記第1の実施例で得られた不純物濃度プロファイルを用いて、デバイスシミュレータ232によりバックバイアスV_{BS}=0のときのV_g-I_d特性をシミ

ュレーションし、このときのチャンネル領域CEの最大空乏層幅 y_a を得る。これは、図11に示すように横軸に深さ y を、縦軸に不純物濃度 $N(y)$ をとったときに、 y_a として得られる。そこで、 $N(y)$ を $0 \sim y_a$ まで定積分して Q_B を得る。

$$Q_B = \int N(y) dy$$

この Q_B を y_a で割ることにより、平均不純物濃度 N_m を求める(ステップ201)。

【0022】このようにして得られた平均不純物濃度 N_m を、ソース領域及びドレイン領域SDEのプロファイルに合わせ、デバイスシミュレーション用の不純物濃度を作成する(ステップ202)。このようにして得られたシミュレーション用の不純物濃度を用いてデバイスシミュレータ232にてVg-I_d特性をシミュレーションする(ステップ203)。このようにデバイスシミュレータ232でシミュレーションして得たVg-I_d特性からしきい値 V_{th0} を求めるとともに、実測のVg-I_d特性からしきい値 V_{th0} を求める。これらしきい値 V_{th0} は、判定手段233において比較される(ステップ204)。

【0023】実測のしきい値 V_{th0} とシミュレーションしたしきい値 V_{th0} とが一致しないとき(ステップ204; NO)、平均不純物濃度 N_m の値を変更し(ステップ205)、ステップ202に戻る。ここで、再び、ソース領域及びドレイン領域SDEの不純物濃度プロファイルと、変更後の平均不純物濃度 N_m とを合わせて、デバイスシミュレーション用の不純物濃度データを作成する(ステップ202)。この作成したデータをもってデバイスシミュレータ232によりシミュレーションを行ない(ステップ203)、Vg-I_d特性を得る。

【0024】そして、再び、実測のVg-I_d特性から得たしきい値 V_{thm} と、シミュレーション後のVg-I_d特性から得たしきい値 V_{thm} とを判定手段233で比較する(ステップ204)。ここで、判定手段233による比較が一致したら(ステップ204; YES)、平均不純物濃度 N_m が正確に求まることになる。そして、ここで得られた平均不純物濃度 N_m は、スパイスパラメータ中の基板バイアス係数中の基板不純物濃度として用いると、バックバイアス効果に対するスパイスシミュレーションの精度を向上させることができる。

【0025】上述したように上記第1の実施例及び第2の実施例により、多くのMOSトランジスタ1の特性を測定すれば、Vg-I_d特性と不純物濃度プロファイルとの相関データが多く得られることになる。そこで、第3の実施例は、多量に得られたVg-I_d特性と不純物濃度プロファイルとの相関データを基に、Vg-I_d特性のみから不純物濃度プロファイルを推測できるようにしたものである。この第3の実施例を図12に示す。

【0026】図12において、第3の実施例は、主に、Vg-I_d特性入力手段31と、データ記憶手段32と、最

適不純物濃度プロファイル選択手段33と、Vg-I_d特性計算手段34と、不純物濃度プロファイル変更手段35とからなる。Vg-I_d特性入力手段31は、第1の実施例における電气的特性測定装置22に相当する。Vg-I_d特性入力手段31は、入力データを最適不純物濃度プロファイル選択手段33に与えられるようにしてある。

【0027】最適不純物濃度プロファイル選択手段33は、入力されたデータからデータ記憶手段32を検索して最適データを得ようになっている。データ記憶手段32は、上記第1、2の実施例が測定することにより得られたVg-I_d特性と不純物濃度プロファイルとの相関データを記憶している。最適不純物濃度プロファイル選択手段33は、その出力データをVg-I_d特性計算手段34に与えるようになっている。Vg-I_d特性計算手段34は、所定の処理を行なった後に、その処理結果を不純物濃度プロファイル変更手段35に与えるようにしてある。不純物濃度プロファイル変更手段35は、処理を行なった結果を情報出力手段36に与えられるようにしてある。

【0028】このような第3の実施例によれば、Vg-I_d特性入力手段31からのVg-I_d特性測定データは、最適不純物濃度プロファイル選択手段33に供給される。最適不純物濃度プロファイル選択手段33では、前記測定データを基にデータ記憶手段32の内部のデータベースを検索して、最適不純物濃度プロファイルを選択する。この最適不純物濃度プロファイルがVg-I_d特性計算手段34に与えられると、Vg-I_d特性計算手段34では、選択された不純物濃度プロファイルを基にVg-I_d特性をデバイスシミュレーションする。

【0029】このVg-I_d特性計算手段34でシミュレーションされたデータは、不純物濃度プロファイル変更手段35に与えられる。不純物濃度プロファイル変更手段35は、実測のVg-I_d特性とシミュレーション値のVg-I_d特性の誤差が最小になるように不純物濃度プロファイルの変更を行なう。このようにして不純物濃度プロファイル変更手段35で得られたデータは情報出力手段36から外部に出力される。このように第3の実施例によれば、単にVg-I_d特性から不純物濃度プロファイルを推測できることになる。

【0030】

【発明の効果】以上説明したように、請求項1記載の発明では、デバイスシミュレータによるVg-I_d特性と実測のVg-I_d特性を比較しながら測定で得られたチャンネル領域の不純物濃度プロファイルのSi/SiO₂界面付近の不純物濃度プロファイルを変更することにより、Si/SiO₂界面付近の正確な不純物濃度プロファイルを得ることができる。請求項2記載の発明では、チャンネル領域の正確な不純物濃度プロファイルを基にデバイスシミュレーションしたVg-I_d特性と実測のVg-I_d特性とを比較しながら均一な基板不純物濃度を変更することにより、バックバイア

ス依存を精度よくシミュレーションする均一な基板不純物濃度が得られる。請求項 3 記載の発明では、 V_g-I_d 特性と不純物濃度プロファイルとの相関データベースを利用して、実測した V_g-I_d 特性から不純物濃度プロファイルを推測できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示すブロック図である。

【図 2】同第 1 の実施例で実測する MOS トランジスタの基本的構成を示す図である。

【図 3】同第 1 の実施例の動作を説明するためのフローチャートである。

【図 4】同半導体素子のチャネル領域の不純物濃度プロファイルを示す特性図である。

【図 5】同半導体素子のソース領域及びドレイン領域の不純物濃度プロファイルを示す特性図である。

【図 6】同半導体素子のチャネル領域の不純物濃度プロファイルを示す特性図である。

【図 7】同デバイスシミュレーション用不純物濃度データの説明図である。

【図 8】同デバイスシミュレーションと実測による V_g-I_d 特性を示す図である。

* 【図 9】同半導体素子のチャネル領域の Si/SiO_2 界面付近の不純物濃度プロファイルに関する特性図である。

【図 10】同第 2 の実施例を説明するためのフローチャートである。

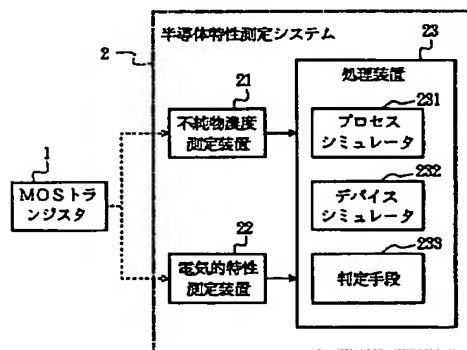
【図 11】同第 2 の実施例を説明するための特性図である。

【図 12】同第 3 の実施例を説明するためのブロック図である。

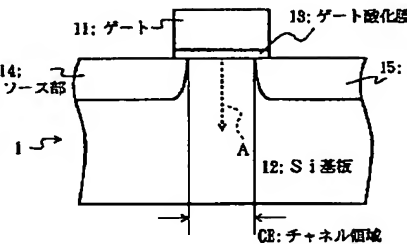
【符号の説明】

- | | | |
|----|-----|-------------------|
| 10 | 1 | MOS トランジスタ |
| | 2 | 半導体特性測定システム |
| | 21 | 不純物濃度測定装置 |
| | 22 | 電気的特性測定装置 |
| | 23 | 処理装置 |
| | 31 | V_g-I_d 特性入力手段 |
| | 32 | データ記憶手段 |
| | 33 | 最適不純物濃度プロファイル選択手段 |
| | 34 | V_g-I_d 特性計算手段 |
| | 35 | 不純物濃度プロファイル変更手段 |
| 20 | 231 | プロセスシミュレータ |
| | 232 | デバイスシミュレータ |
| * | 233 | 判定手段 |

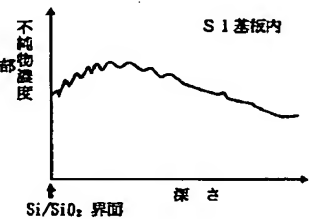
【図 1】



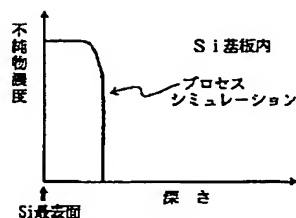
【図 2】



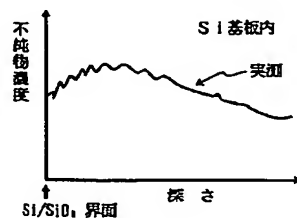
【図 4】



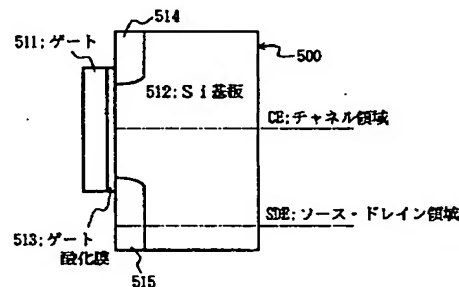
【図 5】



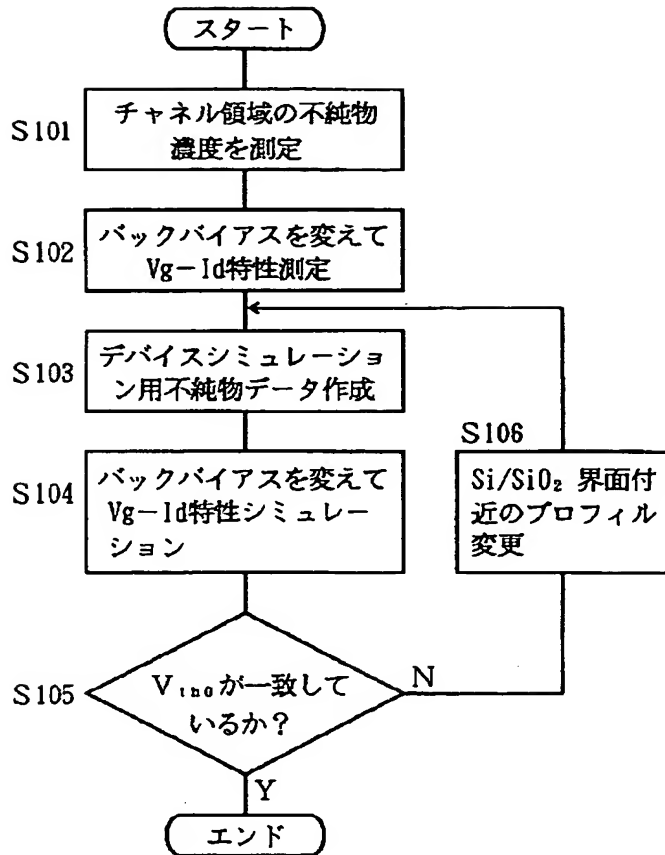
【図 6】



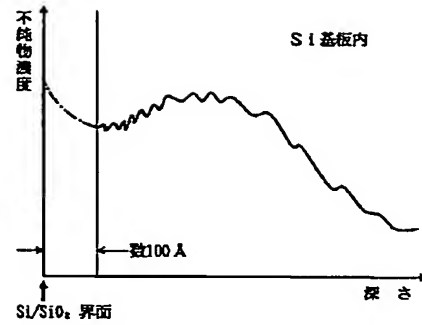
【図 7】



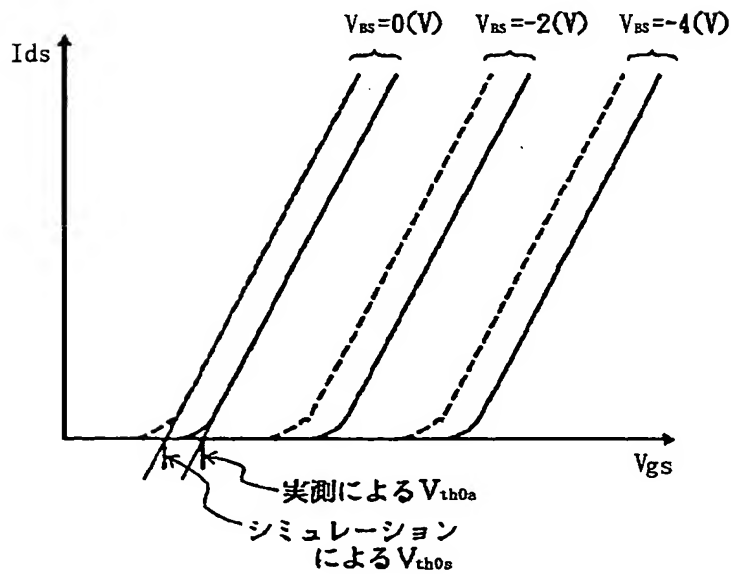
【図3】



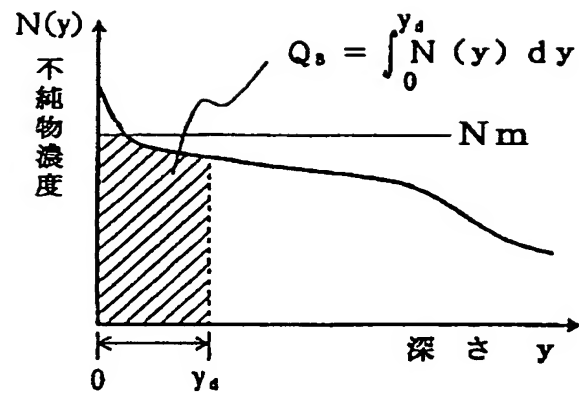
【図9】



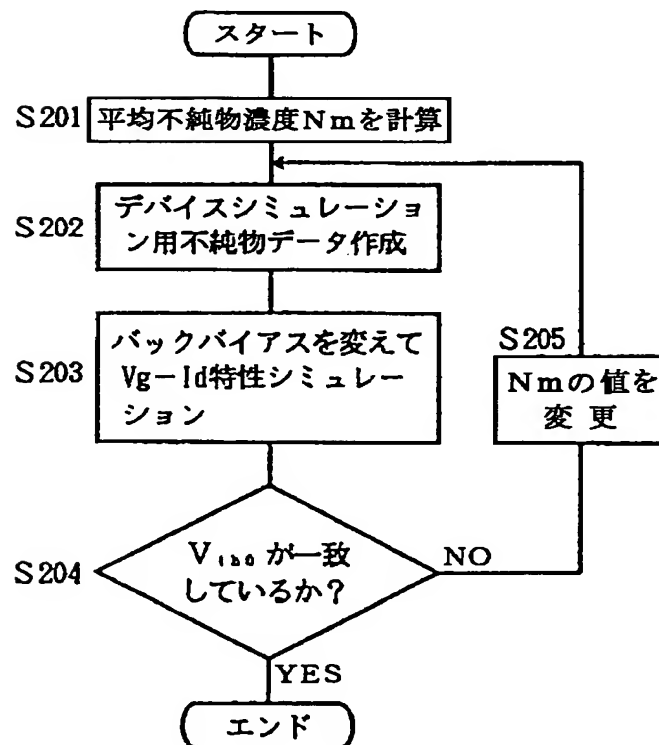
【図8】



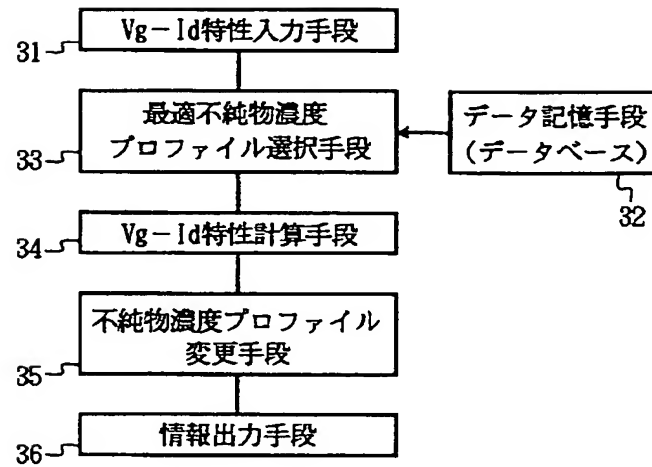
【図11】



【図10】



【図 1 2】



フロントページの続き

(56)参考文献 特開 平 1-109731 (J P, A)
 特開 平 5-198648 (J P, A)
 特開 平 6-139320 (J P, A)
 特開 平 6-209101 (J P, A)
 特開 平 7-115071 (J P, A)

(58)調査した分野(Int. Cl.⁷, D B 名)
 H01L 21/66